

TTMER102 Xilinx ISE segédlet

Új projekt létrehozása:

File -> New project

The screenshot shows the 'New Project Wizard' dialog box, specifically the 'Create New Project' step. The title bar reads 'New Project Wizard' with a close button. Below the title bar, there is a back arrow and the text 'Create New Project' followed by 'Specify project location and type.' The main area contains a form with the following fields:

- Name:** VHDLlabor
- Location:** C:\Users\AITIA\Documents\ujmeres\VHDLlabor
- Working Directory:** C:\Users\AITIA\Documents\ujmeres\VHDLlabor
- Description:** A large empty text area.
- Top-level source type:** HDL

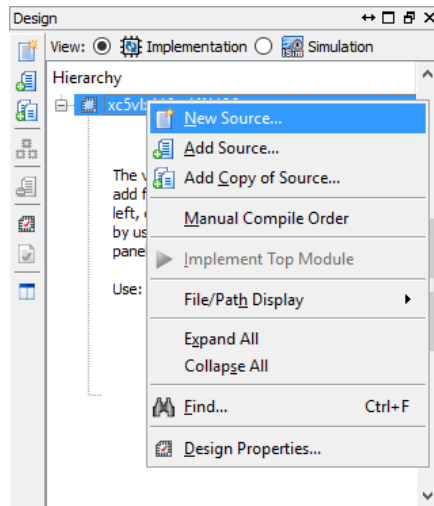
At the bottom of the dialog, there are three buttons: 'More Info', 'Next >', and 'Cancel'.

The screenshot shows the 'New Project Wizard' dialog box, specifically the 'Project Settings' step. The title bar reads 'New Project Wizard' with a close button. Below the title bar, there is a back arrow and the text 'Project Settings' followed by 'Specify device and project properties.' The main area contains a table for selecting the device and design flow for the project:

Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Virtex5
Device	XCSVLX110T
Package	FF1136
Speed	-1
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	Isim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

At the bottom of the dialog, there are three buttons: 'More Info', '< Back', and 'Next >', and a 'Cancel' button.

Ha a projekt elkészült hozzá kell adnunk egy VHDL fájlt amiben dolgozni fogunk.



A listából kiválasztjuk a VHDL modult, nevet adunk neki, más változtatásra nincs szükség.

VHDL fájl elkészítése:

```

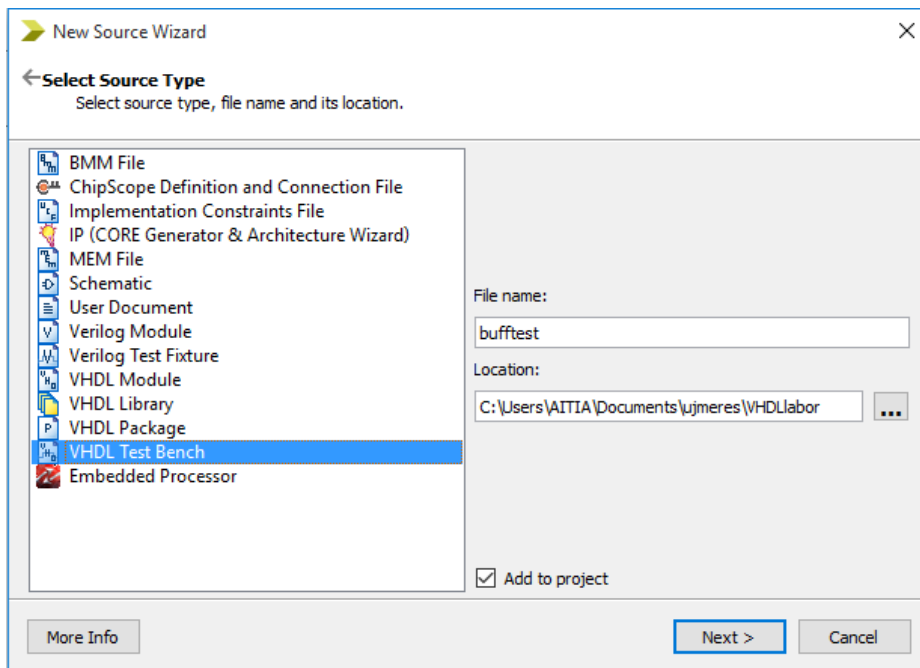
1  library IEEE;    --A könyvtárak deklarálása
2  use IEEE.STD_LOGIC_1164.ALL;
3  use IEEE.numeric_std.all;
4  use ieee.std_logic_unsigned.all;
5
6
7  entity INbuffer is
8  port(
9      Rx_data : IN STD_LOGIC_VECTOR (7 downto 0); --Bejövő adat
10     Rx_dav, CLK : IN std_logic; --Bemenet engedélyező jele
11     Frame : OUT STD_LOGIC_VECTOR (431 downto 0); --A bejövő csomag
12     Dav : OUT std_logic --Kimenet vezérlése
13 );
14 end INbuffer;
15
16 architecture INbuffer of INbuffer is
17     signal eng : STD_LOGIC := '0'; --A modul változóinak deklarálása
18     signal sbuffer : STD_LOGIC_VECTOR (431 downto 0) := (others => '0');
19 begin
20     process (CLK)
21     begin
22         if CLK='1' and CLK'event then
23             --Ide kerül a törzs kód
24
25         end if;
26     end process;
27 end INbuffer;

```

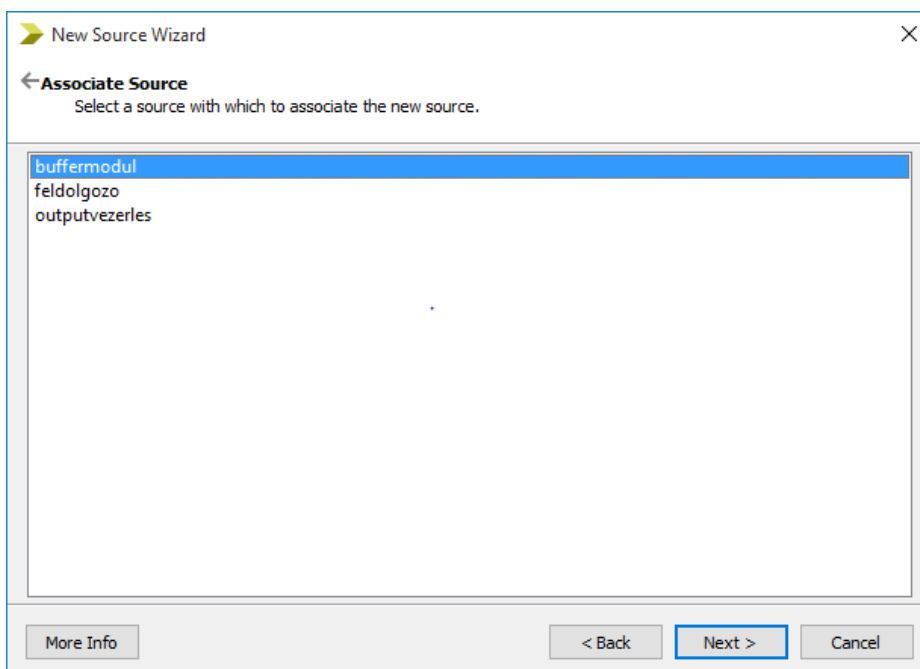
A VHDL fájlnak tartalmaznia kell a használt könyvtárak listáját.

Testbench elkészítése

A projekthez hozzá kell adni egy új fájlt az eddig jól ismert módon, de VHDL modul helyett VHDL testbench-et kell választani.



Az ISE legenerálja a kiválasztott modulhoz tartozó környezetet.



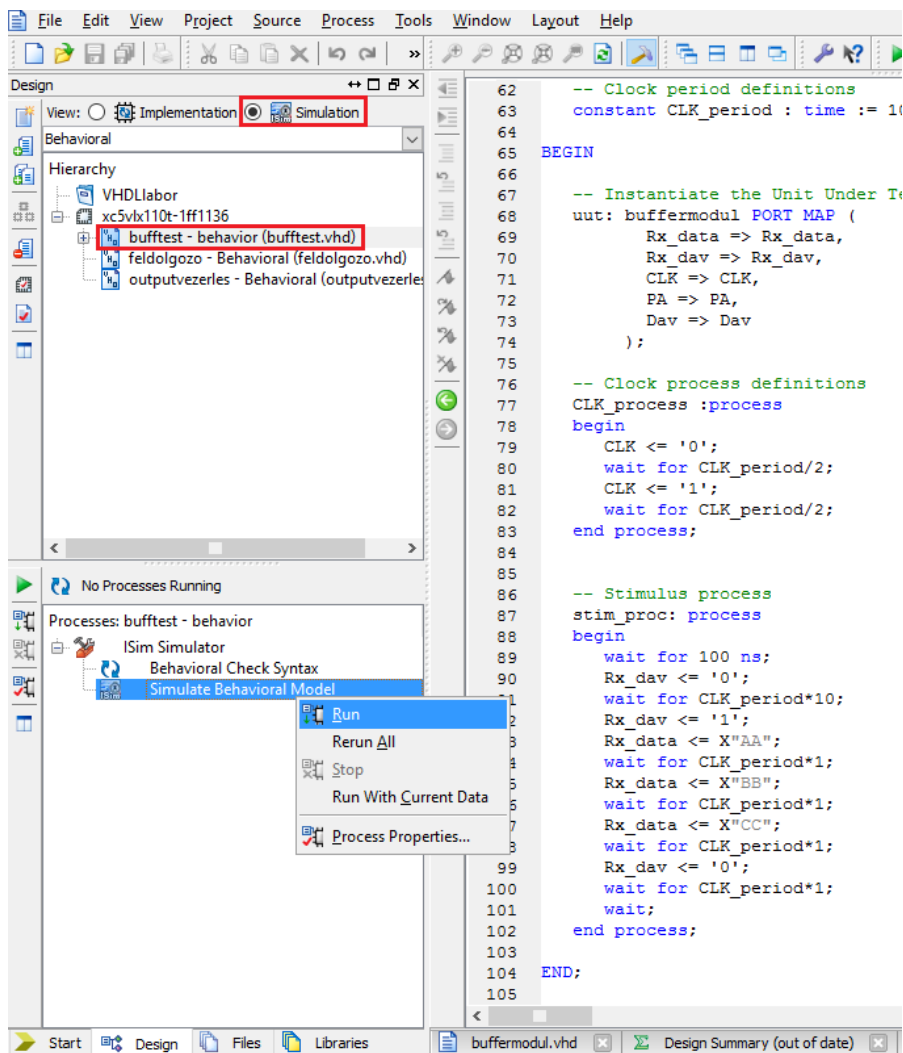
```

86     -- Stimulus process
87     stim_proc: process
88     begin
89         wait for 100 ns;
90         Rx_dav <= '0';
91         wait for CLK_period*10;
92         Rx_dav <= '1';
93         Rx_data <= X"AA";
94         wait for CLK_period*1;
95         Rx_data <= X"BB";
96         wait for CLK_period*1;
97         Rx_data <= X"CC";
98         wait for CLK_period*1;
99         Rx_dav <= '0';
100        wait for CLK_period*1;
101        wait;
102    end process;
103
104 END;

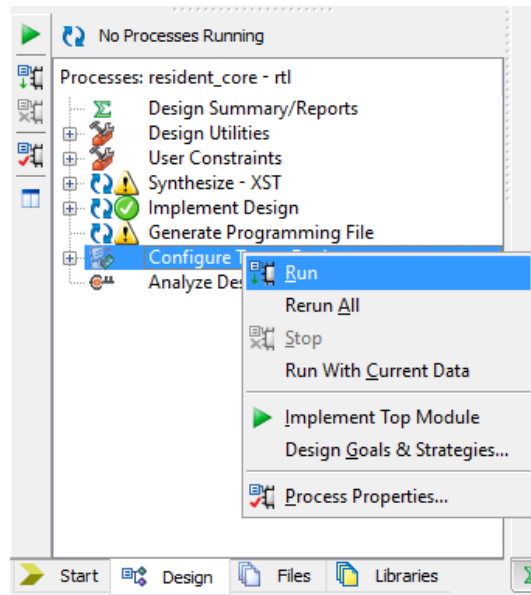
```

A test fájl végén a „Stimulus process” alatt lehet beállítani a teszteléshez használt értékeket.

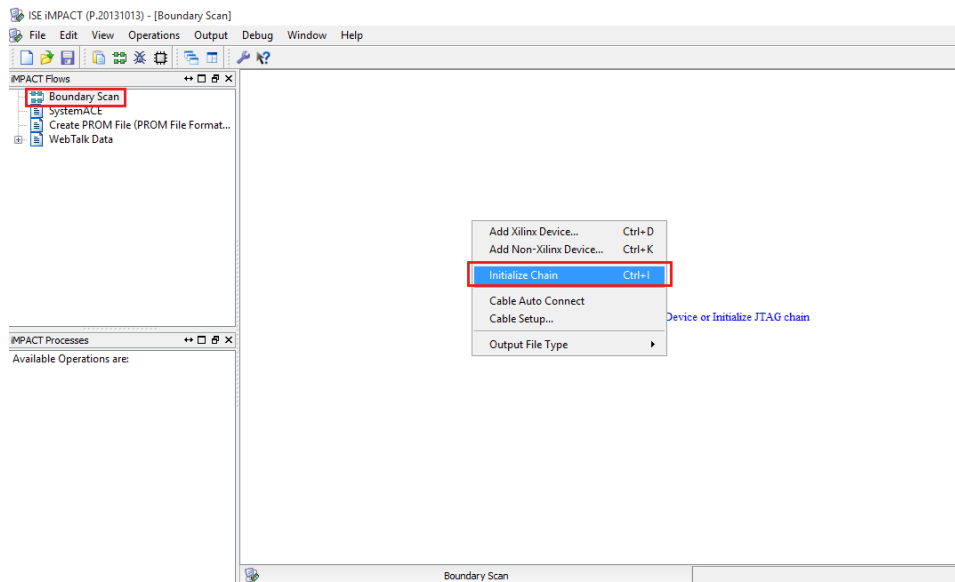
Isim használata



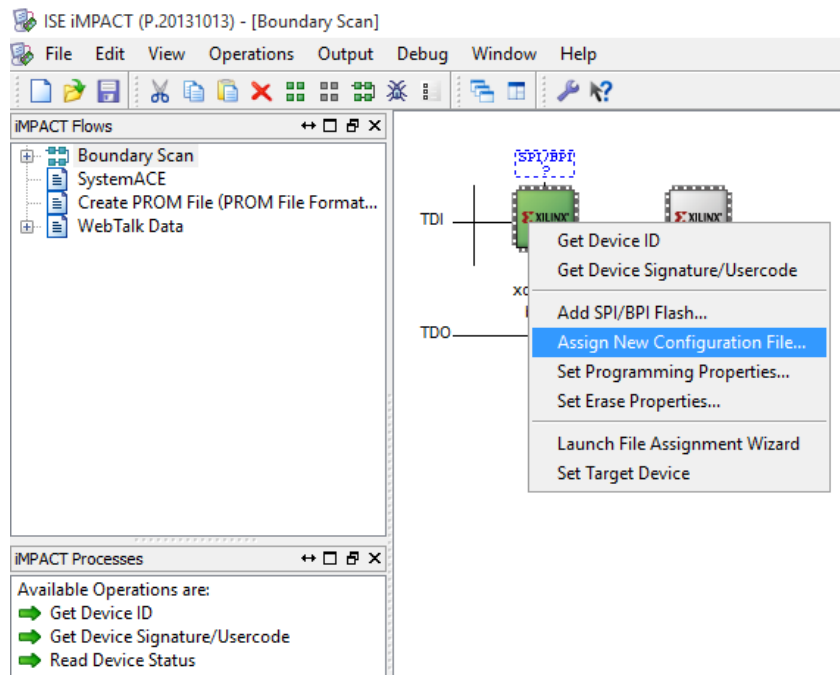
Az ábrán látott módon tudja elindítani a szimulációt.



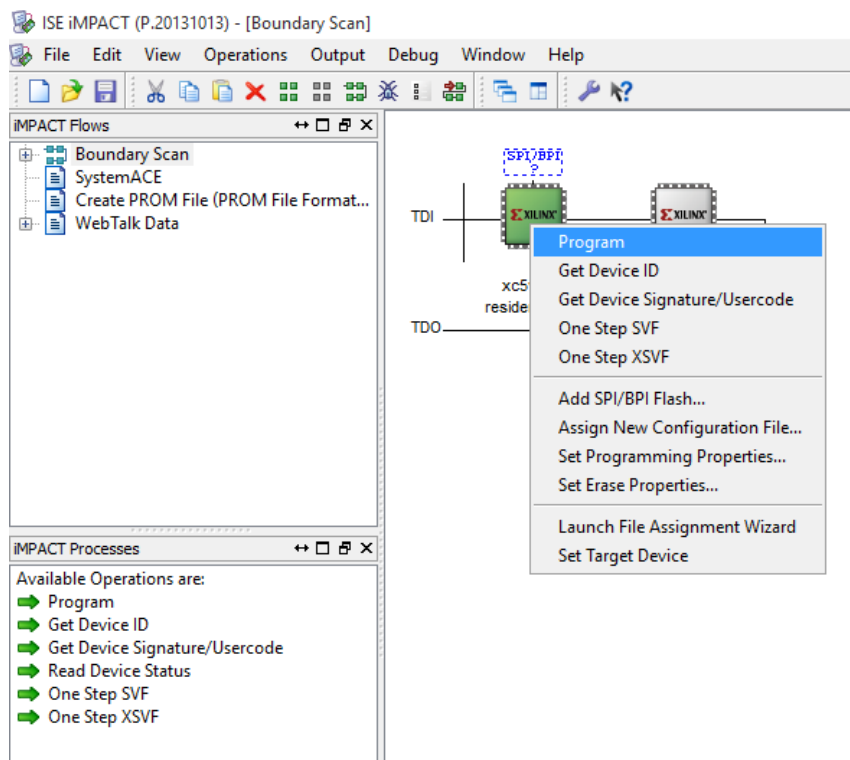
Ha megnyitotta az impactot:



Először egy boundary scan-t kell csinálni, majd jobb klikk után initialize chain-re klikkel (felugró ablakokra no és cancelt választ).



Majd kiválasztja az előbb elkészített bitfájlt a felugró ablakból.



Utolsó lépésként programozza a FPGA-t.